

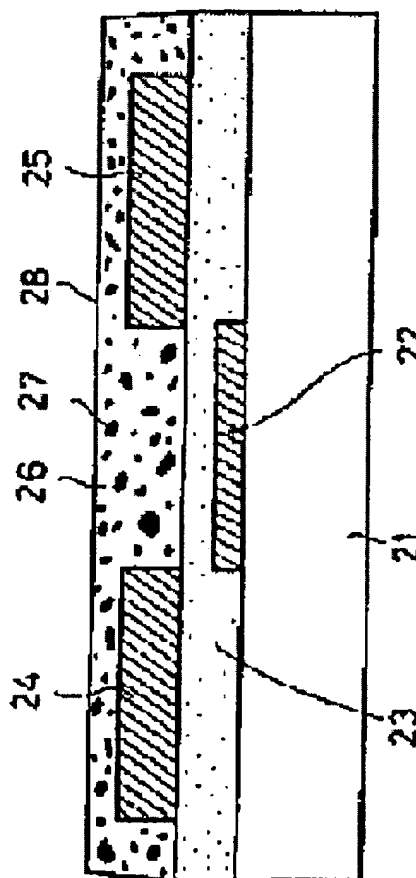
FIELD EFFECT TRANSISTOR AND LIQUID CRYSTAL DISPLAY PROVIDED THEREWITH

Patent number: JP3255669
Publication date: 1991-11-14
Inventor: FUCHIGAMI HIROYUKI; TSUMURA AKIRA; NOBUTOKI EIJI; HIZUKA YUJI
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: G02F1/136; H01L29/786; H01L51/00; G02F1/13; H01L29/66; H01L51/00; (IPC1-7): G02F1/136; H01L29/28; H01L29/784
- european:
Application number: JP19900160629 19900619
Priority number(s): JP19890211739 19890817; JP19890211740 19890817; JP19900019464 19900129

Report a data error here

Abstract of JP3255669

PURPOSE:To enable a current which flows between a source and a drain electrode to be much modulated with a gate voltage and enhanced in intensity by a method wherein a region where a channel is formed is formed of a mixed layer composed of two or more types of organic compounds. **CONSTITUTION:**The channel forming region of an FET is formed of a mixed layer 26 composed of two types of organic compounds 26 and 27. The organic compound 26 is non-doped or doped with a very small amount of impurities, so that there are a few carriers in the organic compound 26, in result a current flowing between a source and a drain is small even if a voltage is applied between the source and the drain when a gate voltage is not applied. When the gate voltage is applied, carriers are supplied to the organic compound 26 from the organic compound 27 doped with impurities much more than the organic compound 26, a large current flows between the gate and drain, that is, a current flowing between the gate and the drain is much modulated by a gate voltage and a large current can be made to flow between the gate and the drain.



Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A) 平3-255669

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月14日

H 01 L 29/28
G 02 F 1/136

5 0 0

6412-5F
9018-2K
9056-5F

H 01 L 29/78

3 1 1 B※

審査請求 未請求 請求項の数 4 (全16頁)

⑮ 発明の名称 電界効果トランジスタ及び該電界効果トランジスタを用いた液晶表示装置

⑯ 特 願 平2-160629

⑰ 出 願 平2(1990)6月19日

優先権主張 ⑱ 平1(1989)8月17日 ⑲ 日本(JP) ⑳ 特願 平1-211739

㉑ 発 明 者 洲 上 宏 幸 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内㉒ 発 明 者 津 村 顕 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

㉓ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉔ 代 理 人 弁理士 大岩 増雄 外2名

最終頁に続く

明 細 書

1. 発明の名称

電界効果トランジスタ及び該電界効果トランジスタを用いた液晶表示装置

2. 特許請求の範囲

(1) ソース電極、ドレイン電極間のチャネルの電導度を、ゲート電極に印加するゲート電圧によって制御する電界効果トランジスタにおいて、

前記チャネルが形成される領域を少なくとも2種類以上の有機化合物の混合層により形成したことを特徴とする電界効果トランジスタ。

(2) ソース電極、ドレイン電極間のチャネルの電導度を、ゲート電極に印加するゲート電圧によって制御する電界効果トランジスタにおいて、

前記チャネルが形成される領域を少なくとも2種類以上の有機薄膜の積層膜により形成したことを特徴とする電界効果トランジスタ。

(3) ソース電極、ドレイン電極間のチャネルの電導度を、ゲート電極に印加するゲート電圧によって制御する電界効果トランジスタにおいて、

前記チャネルが形成される領域を少なくとも2種類以上の単量体からなる π -共役系ブロック共重合体により形成したことを特徴とする電界効果トランジスタ。

(4) ソース電極、ドレイン電極間のチャネルの電導度を、ゲート電極に印加するゲート電圧によって制御する電界効果トランジスタを有する駆動部と、前記電界効果トランジスタの前記ソース電極又は前記ドレイン電極のいずれか一方に直列に接続され、前記ゲート電圧の制御による前記電界効果トランジスタのオン、オフによって駆動される液晶表示部とを備えた液晶表示装置において、

前記電界効果トランジスタが、少なくとも2種類以上の有機化合物の混合層、又は少なくとも2種類以上の有機薄膜の積層膜、又は少なくとも2種類以上の単量体からなる π -共役系ブロック共重合体により形成されたチャネル形成領域を有することを特徴とする液晶表示装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、有機半導体を用いた電界効果トランジスタ（以下FETと称する）及び該FETを駆動素子として用いた液晶表示装置に関する。

〔従来の技術〕

従来、FETとしては、半導体層にシリコン（Si）やガリウムヒ素（GaAs）単結晶などの無機半導体を用いたものがよく知られ、実用に供されているが、用いられる材料が高価であるばかりか、素子作製プロセスが大変複雑であり、しかも素子を組み込むことのできる面積はウェハーの大きさで制限されるという問題がある。

例えば、大画面液晶表示素子に用いられるアクティブ駆動素子を作製する場合、Si等のウェハーを用いると、価額面及びウェハー面積からの厳しい制約のため、現在では、液晶表示素子における駆動素子用のFETには、アモルファスシリコンを用いた薄膜トランジスタが使用されることが多い。

しかし、アモルファスシリコンを用いた薄膜トランジスタも、表示素子面積の増大に伴い、低

価格で、しかも多くの素子を一平面上に均一に作製するのが困難になりつつあるため、最近では有機半導体を用いてFETを作製しようとする試みがなされており、有機半導体の中でも、 π -共役系高分子を用いたものが、高分子材料の特徴である加工性に優れ、大面積化が容易なことから特に注目されている（特開昭62-85224号公報参照）。

ここで、 π -共役系高分子とは、化学構造が共役二重結合や三重結合からなり、 π -電子軌道の重なりによって形成される価電子帯と伝導帯及びこれらを隔てる禁制帯からなるバンド構造を有しているものと考えられ、禁制帯幅は材料によって異なるが、殆どの π -共役系高分子では1～4 eVの範囲にあるため、 π -共役系高分子はそれ自身では絶縁体又はそれに近い電導度しか示さない。

しかし、化学的方法、電気化学的方法、物理的方法等によって価電子帯から電子を引き去ったり（酸化）、伝導帯に電子を注入（還元）すること（以下これらをドーピングという）によって分子

鎖内に電荷を運ぶキャリアー（担体）が生じるものと説明されており、そのとき電気的中性を保つためにドーパントと呼ばれる対イオンが π -共役系高分子の内に入り、その結果、ドーピングを制御することによって、 π -共役系高分子の電導度を絶縁体領域から金属領域に至る幅広い範囲にわたって任意に変えることが可能になる。

そして、ドーピングが酸化反応のときに得られる高分子はp型、還元反応の場合にはn型となり、これは無機半導体における不純物添加に似ており、このために π -共役系高分子を半導体材料として用いた種々の半導体素子を作製することが可能になる。

ところで、 π -共役系高分子を半導体層として用いたFETとしては、例えばジャーナル オブ アプライド フィジクス(J. Appl. Phys.)54巻、3255～3259頁、1983年に報告されているように、ポリアセチレンを用いたものや、ケミストリー レターズ(Chem. Lett.)863頁、1986年に報告されているように、ポリ(N-メチルピロール)を用

いたものや、アプライド フィジクス レターズ (Appl. Phys. Lett.) 49巻 1210～1212頁、1986年に報告されているように、ポリチオフェンを用いたものなどが知られており、第8図に従来のポリアセチレンを用いたFETの断面図を示す。

同図に示すように、ガラス基板1上にアルミニウム（Al）からなるゲート電極2が形成され、基板1上及びゲート電極2上にポリシロキサンからなるゲート絶縁膜3が形成され、さらにこの絶縁膜3上にポリアセチレン膜4が形成され、ポリアセチレン膜4上に金（Au）からなるソース電極5及びドレイン電極6が形成されている。

そして、ソース電極5とドレイン電極6との間に電圧をかけるとポリアセチレン膜4を通してソース電極5とドレイン電極6との間に電流が流れ、このときに絶縁膜3によりポリアセチレン膜4と隔てられたゲート電極2に電圧を印加すると、電界効果によってポリアセチレン膜4の電導度を変えることができ、ソース・ドレイン間の電流を制御することができる。

これは、絶縁膜3に近接したポリアセチレン膜4内の空乏層の幅がゲート電極2に印加する電圧によって変化し、実効的な正のキャリアーからなるチャンネル断面積が変化するためと考えられているが、このFETではゲート電圧によって変えることのできるソース・ドレイン間の電流は極めて小さく、実用的に問題が多い。

つぎに、第9図はポリチオフェンを半導体層としたFETの断面図を示し、同図に示すように、基板及びゲート電極兼用のn型Si板7上にゲート絶縁膜としての酸化シリコン膜8が形成され、この酸化シリコン膜8上にAuからなるソース電極9及びドレイン電極10が形成され、さらに酸化シリコン膜8上及びソース、ドレイン電極9、10上にポリチオフェン膜11が形成され、Si板7の下面に金属製のオーミック電極12が形成されている。

ここで、ポリチオフェン膜11は、2, 2'-ジチオフェンをモノマーとした電解重合法により得られる。

また、通常ポリチオフェンを電解重合法によって作製するため、多くのFETを同時に均一に作ることが困難である。

一方、 π -共役系高分子を半導体層に適用したFETの他の例として、アブライド フィジクス レターズ(Appl. Phys. Lett.) 58巻、195頁、1988年に報告されているように、ポリ(3-ヘキシルチオフェン)を用いたものが知られており、その構造は第9図と同じであるが、ポリ(3-ヘキシルチオフェン)は種々の溶剤に可溶であるものの、そのFET特性は前述したポリチオフェンを用いた場合の特性にはるかに及ばない。

さらに、以上の π -共役系高分子を半導体層に適用したFETは、ゲート電圧印加時にソース電極、ドレイン電極間の電流値が増加するエンハンスメント型であるが、これらのFETはすべて、ゲート電圧印加時のソース・ドレイン電極間の電流値が小さい。

(発明が解決しようとする課題)

従来の有機半導体を用いたFETの中、ポリア

ところで、第9図に示すポリチオフェンを用いたFETのゲート電圧に対するソース・ドレイン間電流-ソース・ドレイン間電圧特性は、第10図に示すようになり、ここで縦軸はポリチオフェン膜を介してソース・ドレイン電極間に流れる電流、横軸はソース・ドレイン間の電圧である。

第10図に示すように、ソース・ドレイン間電流は、ゲート電極12に印加したゲート電圧が0Vから負になるに従って増加し、またソース・ドレイン間電流は、ソース・ドレイン間電圧が増加するに従って飽和する現象(ピンチ・オフ)を示しており、典型的なFETの特性を示し、しかも、この特性は非常に安定しており、有機半導体を用いたFET素子としては非常に優れている。

しかしながら、この時のゲート電極12に印加する電圧によって変調できるソース・ドレイン間電流(ON/OFF比)は、せいぜい2桁ないし3桁(100~1000倍)にとどまり、実用に供するには不十分であり、ON時のソース・ドレイン間電流も小さな値しか得られていない。

セチレンを半導体層に適用したものはその特性が劣り、実用的な値は殆ど見いだせず、またポリ(N-メチルピロール)を半導体層に用いたFETも、その特性に難点があり実用に供し得ないという問題点があった。

一方、ポリチオフェンを半導体として用いたFETも、前述した如く、ON/OFF比がまだまだ小さく、ON時のソース・ドレイン間電流も高い値を得るには至っていない。

さらに、 π -共役系高分子を用いた場合、 π -共役系高分子にドーピングが施されるが、このようにドーピングを施すと半導体層全体の電導度が増加し、ゲート電圧を印加しないときのソース電極とドレイン電極の間を流れる電流(リーク電流)が大きくなり、結果的にゲート電極に印加する電圧によるソース電極とドレイン電極の間を流れる電流の変調幅が小さくなり、FET特性低下を招くという問題点があった。

従って、ソース電極とドレイン電極の間を流れる電流の変調幅を大きくすることは、FETの特

性を向上させる上での課題であった。

この発明は、上記のような問題点を解消するためになされたもので、ゲート電圧によってソース電極とドレイン電極の間の電流をより大きく変動させることができ、かつソース電極とドレイン電極の間に大きな電流を流すことができるようにすることを目的とする。

〔課題を解決するための手段〕

この発明に係る電界効果トランジスタは、ソース電極、ドレイン電極間のチャネルの電導度を、ゲート電極に印加するゲート電圧によって制御する電界効果トランジスタにおいて、前記チャネルが形成される領域を少なくとも２種類以上の有機化合物の混合層により形成したことを特徴としている。

また、ソース電極、ドレイン電極間のチャネルの電導度を、ゲート電極に印加するゲート電圧によって制御する電界効果トランジスタにおいて、前記チャネルが形成される領域を少なくとも２種類以上の有機薄膜の積層膜により形成することも

ことが効果的である。

〔作用〕

この発明においては、チャネルが形成される領域を、少なくとも２種類以上の有機化合物の混合層、又は少なくとも２種類以上の有機薄膜の積層膜、又は少なくとも２種類以上の単量体からなる π -共役系ブロック共重合体により形成するため、チャネル内のキャリアー数がゲート電圧によって制御され、ソース・ドレイン間電流が、従来の１種類の有機化合物薄膜だけからなるFETに比べてより大きく変動され、しかも大きなソース・ドレイン間電流が得られる。

また、このような電界効果トランジスタを液晶表示装置の駆動部に用いることによって、従来の１種類の有機化合物薄膜だけからなる電界効果トランジスタを用いる場合に比べ、優れた性能を有する低価格の液晶表示装置が得られる。

〔実施例〕

（実施例１）

第１図はこの発明の電界効果トランジスタの実

できる。

さらに、ソース電極、ドレイン電極間のチャネルの電導度を、ゲート電極に印加するゲート電圧によって制御する電界効果トランジスタにおいて、前記チャネルが形成される領域を少なくとも２種類以上の単量体からなる π -共役系ブロック共重合体により形成してもよい。

また、ソース電極、ドレイン電極間のチャネルの電導度をゲート電極に印加するゲート電圧によって制御する電界効果トランジスタを有する駆動部と、前記電界効果トランジスタの前記ソース電極又は前記ドレイン電極のいずれか一方に直列に接続され、前記ゲート電圧の制御による前記電界効果トランジスタのオン、オフによって駆動される液晶表示部とを備えた液晶表示装置において、前記電界効果トランジスタが、少なくとも２種類以上の有機化合物の混合層、又は少なくとも２種類以上の有機薄膜の積層膜、又は少なくとも２種類以上の単量体からなる π -共役系ブロック共重合体により形成されたチャネル形成領域を有する

実施例１の断面図である。

なお、この発明の電界効果トランジスタは、接合形或いは絶縁ゲート形等どのようなものであってもよいが、以下の各実施例では絶縁ゲート形に適用した場合について説明する。

第１図に示すように、基板２１上にゲート電極２２が形成され、基板２１上及びゲート電極２２上にゲート絶縁膜２３が形成され、このゲート絶縁膜２３上にソース電極２４及びドレイン電極２５が形成され、ゲート絶縁膜２３上及びソース・ドレイン電極２４、２５上に２種類の有機化合物２６、２７からなる混合層２８が形成されている。

ところで、第１図に示すFETに用いられる各材料には以下のものがある。

即ち、基板２１の材料は絶縁性であればいずれも使用可能であり、具体的にはガラス、アルミナ焼結体等の各種無機絶縁性材料、及びポリイミドフィルム、ポリエステルフィルム、ポリエチレンフィルム、ポリフェニレンスルフィドフィルム、ポリバラキシレンフィルム、ポリカーボネート等

の各種絶縁性プラスチック等或いはこれらの組合せを用いてもよい。

さらに、ゲート電極22、ソース電極24およびドレイン電極25の材料としては、導電性を有するものであればいずれも使用可能であり、具体的には金、銀、銅、白金、パラジウム、アルミニウム、インジウム、クロム、モリブデン等の金属や、白金シリサイド、パラジウムシリサイド、低抵抗ポリシリコン、低抵抗アモルファスシリコン、砒酸化物、インジウム酸化物、インジウム・砒酸化物(ITO)等の導電性無機材料、更に導電性を有する有機低分子化合物や導電性の π -共役系高分子等を用いるのが一般的であるが、これらの材料を2種類以上組合せて使用しても差し支えない。

このとき、ゲート電極22、ソース電極24及びドレイン電極25の形成方法としては特に制限がなく、例えば真空蒸着法、スパッタリング法、メッキ法、CVD法、ラングミュア・プロジェクト(LB)法、スピンコート法、電解重合法等の

方法が使用可能である。

また、ゲート電極22と基板21を1つのp型シリコン板或いはn型シリコン板により兼用してもよく、この場合には、基板21を省略することができ、p型シリコン板やn型シリコン板の体積固有抵抗率は幾らでも良いが、実用上は有機化合物26、27のそれよりも小さいことが好ましい。

さらに、第1図に示すFETの使用目的に応じて、ゲート電極22と基板21をステンレス板、銅板、導電性高分子等の導電性の板又はフィルムによって兼用することも可能である。

一方、ゲート絶縁膜23の材料としては、絶縁性のものであれば無機、有機のいずれの材料でも使用可能であり、一般的には酸化シリコン(SiO_2)、窒化シリコン(Si_3N_4)、酸化アルミニウム(Al_2O_3)等の無機絶縁薄膜、ポリエチレン、ポリエステル、ポリイミド、ポリフェニレンスルフィド、ポリバラキシレン、ポリアクリロニトリル、充分に脱ドーピングを施した π -共役系高分子等の有機絶縁薄膜、更に各種低分子

及び高分子絶縁性ラングミュア・プロジェクト(LB)膜等が用いられ、勿論これら材料を2種類以上組合せて用いても良い。

このとき、ゲート絶縁膜23の作製方法としては特に制限はなく、例えば真空蒸着法、スパッタリング法、CVD法、プラズマ重合法、スピンコート法、ディッピング法、LB法等が使用可能である。

また、p型シリコン板やn型シリコン板をゲート電極22と基板21として兼用する場合には、ゲート絶縁膜23として、シリコンの熱酸化によって得られる酸化シリコン膜が好適である。

つぎに、有機化合物26の材料としては半導体の特性を示すものであればいずれも使用可能であり、例えばポルフィリン類、金属ポルフィリン類、フタロシアニン類、金属フタロシアニン類、メロシアニン等の低分子有機半導体や π -共役系高分子などのほか、これらを2種以上組合せて用いることもできる。

さらに、有機化合物27の材料としては、金属

領域ないし半導体領域の電導度を有する材料であればいずれも使用可能であり、例えばポルフィリン類、金属ポルフィリン類、フタロシアニン類、金属フタロシアニン類、メロシアニン等の低分子有機半導体や π -共役系高分子が用いられる場合が多いが、このほかテトラシアフルバレン(TTF)-テトラシアノキノジメタン(TCNQ)結晶で代表される各種低分子及び高分子の電荷移動錯体も用いることができ、これらの化合物を2種類以上組合せて用いても良い。

また、有機化合物27として、前述の化合物と他の絶縁性の有機化合物とをある所定の比率で混合して用いることも可能である。

そして、FETの特性の観点から、有機化合物27及び/又は26にドーピング処理が施される場合があり、このドーピングの方法としては特に制限はなく、気相や液相等からの化学的ドーピング、電気化学的ドーピング、イオン注入等の物理的ドーピング等を用いることができる。

ところで、FETの特性上、有機化合物26、

27のうち、少なくとも有機化合物26としては π -共役系高分子が特に好ましく、例えばポリピロール、ポリ(N-置換ピロール)、ポリ(3-置換ピロール)、ポリ(3,4-二置換ピロール)、ポリチオフェン、ポリ(3-置換チオフェン)、ポリ(3,4-二置換チオフェン)、ポリベンゾチオフェン、ポリイソチアナフテン、ポリ(チエンレンビニレン)、ポリアニリン、ポリ(N-置換アニリン)、ポリ(2-置換アニリン)、ポリ(3-置換アニリン)、ポリ(2,3-二置換アニリン)、ポリジアセチレン類、ポリアズレン、ポリピレン、ポリカルバゾール、ポリ(N-置換カルバゾール)、ポリセレンフェン、ポリフラン、ポリベンゾフラン、ポリフェニレン、ポリ(フェニレンビニレン)、ポリインドール、ポリピリダジン、ポリアセン等、或いはこれら2種類以上の共重合体及びそれらの両親媒性誘導体が可能である。

さらにFETの特性上、有機化合物26の電導度よりも有機化合物27の電導度を高くする場合

膜を作製できる。

なお、有機化合物26及び27からなる混合膜28の厚さに特に制限はないが、特性上10 μ m以下が好ましい。

以上のようにして構成された第1図のFETは、従来のソース電極とドレイン電極に挟まれた領域が1種類の有機化合物だけからなる従来のFETよりもOFF時のソース・ドレイン間電流が小さくなり、ON時のソース・ドレイン間電流が大きくなる。

即ち、ゲート電極22に印加した電圧によって、ソース・ドレイン間電流を大きく変調できるようになり、しかも大きなソース・ドレイン間電流が得られ、FETの特性が大幅に向上する。その理由は未だ不明な点も多いが、以下のように説明される。

従来の有機半導体を用いたFETにおいて、1種類の有機化合物の薄膜は、キャリアの走行する場所としての機能と、キャリアを供給する場所としての機能の両方の機能を持たせる必要があ

が多く、例えばドーピングを施していない、或いはドーピング量の低い π -共役系高分子又は上記低分子有機半導体を有機化合物26に用い、この有機化合物26よりも高度にドーピング処理を施した有機化合物26とは異なる π -共役系高分子、又は低分子有機半導体、又は有機化合物26よりも高い電導度を有する電荷移動錯体等が有機化合物27の材料に用いられる。

さらに又、FETの特性上、有機化合物26のイオン化ポテンシャルよりも有機化合物27のイオン化ポテンシャルの方が小さいことが望ましい。

ところで、有機化合物26、27が所定の比率で混合した膜を作製する方法として特に制限はなく、LB法、分子線エビタキシャル成長法、真空蒸着法、スパッタリング法、CVD法、プラズマ重合法、電解重合法、化学重合法、スピンコート法、キャスト法及びディッピング法等の各種方法が用いられ、特にLB法、分子線エビタキシャル成長法、真空蒸着法を用いると、膜の均一性、即ち有機化合物26及び27の分散性に特に優れた

った。

そして、キャリアを多量に供給させるためには有機化合物薄膜にドーピング処理等の方法が用いられていたが、キャリアを供給させるために多量のドーピング処理を行うと、有機薄膜は金属的なものとなり、ソース・ドレイン間電流は大きくなるものの、ゲート電圧によってソース・ドレイン間電流を大きく変調することができなかった(Synthetic Metals, 25巻, 頁11-28, 1988年参照)。

即ち、従来のソース電極とドレイン電極間のチャネル形成領域に1種類の有機化合物だけを用いたFETにおいては、大きなON/OFF比を得ることと、大きなソース・ドレイン間電流を得ることが両立し得なかった。

これに対して、第1図に示すように、ソース、ドレイン電極24、25間のチャネル領域に2種類の有機化合物26、27を用いると、キャリアの走行部分(第1図における26)とキャリアの供給部分(第1図における27)を分離する

ことができる。

つぎに、第1図に示すFETにおいて、有機化合物26がドーピング処理を施していない、又ドーピング量の低い π -共役系分子或いは前述の低分子有機半導体からなり、有機化合物27が有機化合物26よりも多量にドーピング処理を施した π -共役系高分子或いは前述の低分子有機半導体又は有機化合物26よりも高い電導度を有する上記電導移動體からなる場合に、その動作を以下に説明する。

いま、有機化合物26はドーピング処理を施していないか、或いはドーピング量が低いため、キャリアー数が少なく、ゲート電圧を印加しない時にはソース・ドレイン間に電圧を印加してもソース・ドレイン間電流は小さいが、ゲート電圧を印加した場合には、有機化合物26よりも多量にドーピング処理を施した有機化合物27から、有機化合物26にキャリアーが供給され、大きなソース・ドレイン間電流が流れ、即ち、ゲート電圧によってソース・ドレイン間電流が大きく変調され、

かつ大きなソース・ドレイン間電流が得られることになる。

この時、有機化合物27だけでソース・ドレイン間をつなぐ経路ができないようにする事が一般的である。ここで、混合層28中で有機化合物27が形成する粒子の大きさについて制限はなく、また混合層28の厚さについても特に制限はないが、前述の如く10 μ m以下が好ましい。

従って、第1図に示すように2種類の有機化合物26、27の混合層28によりFETのチャネル形成領域を形成したため、従来の1種類の有機化合物だけからなるFETに比べ、OFF時のソース・ドレイン間電流を小さくし、かつON時のソース・ドレイン間電流を大きくすることができ、即ちゲート電極22に印加した電圧によって、ソース・ドレイン間電流を大きく変調できるようになり、しかも大きなソース・ドレイン間電流を得ることができ、FETの特性を大幅に向上することができる。

(実施例2)

第2図はこの発明の電界効果トランジスタの実施例2の断面図である。

第2図において、第1図と相違するのは、ゲート絶縁膜23上及びソース・ドレイン電極24、25上に、2種類の有機薄膜31、32からなる積層膜33を形成したことである。

ところで、第2図に示すFETに用いられる材料のうち、基板21、ゲート電極22、ゲート絶縁膜23、ソース及びドレイン電極24、25の材料は、それぞれ前述した通りであり、その形成方法も前述した通りである。

そして、有機薄膜31、32の材料は、前述した有機化合物26、27の材料とそれぞれ同じであり、またその作製方法も有機化合物26、27と同様に特に制限はなく、LB法、分子線エビタキシャル成長法、真空蒸着法、スパッタリング法、CVD法、プラズマ重合法、電解重合法、化学重合法、スピンコート法、キャスト法及びディッピング法等の各種の方法が用いられる。

ところで、第1図における有機化合物26、2

7と同様に、FETの特性上、有機薄膜31の電導度よりも有機薄膜32の電導度を高くして用いる場合が多く、例えばドーピングを施していない、又はドーピング量の低い π -共役系高分子又は低分子有機半導体を有機薄膜31に用い、この有機薄膜31よりも高度にドーピング処理を施した有機薄膜32とは異なる π -共役系高分子又は低分子有機半導体、又は有機薄膜31よりも高い電導度を有する電荷移動體等が有機薄膜32に用いられる。

さらに又、FETの特性上、有機薄膜31のイオン化ポテンシャルよりも有機薄膜32のイオン化ポテンシャルの方が小さいことが望ましい。

なお、有機薄膜31及び32の膜厚に特に制限はないが、実用上の観点から10 μ m以下が好ましい。

以上のように、第1図に示す構成を有するFETは、従来の1種類の有機薄膜だけを用いたFETよりもOFF時のソース・ドレイン間電流が小さくなり、ON時のソース・ドレイン間電流が大

きくなる。

即ち、ゲート電極22に印加した電圧によってソース・ドレイン間電流を大きく変調できるようになり、しかも大きなソース・ドレイン間電流が得られFETの特性が大幅に向上する。

その理由は第1図の説明において記述した理由と同じであり、第2図に示すように、ソース・ドレイン電極24、25間のチャネル形成領域に2種類の有機薄膜31、32の積層膜33を用いると、キャリアの走行部分(有機薄膜31)とキャリアの供給部分(有機薄膜32)を分離することができ、或いはまた、2種類以上の有機薄膜を組合わせて用いることによって、それぞれの有機薄膜の長所となる特性を大いに発揮させることができ、その結果FETの特性が向上すると考えられる。

さらに詳述すると、有機薄膜31がドーピング処理を施していない、またはドーピング量の低い π -共役系高分子或いは低分子有機半導体の薄膜であり、有機薄膜32がドーピング処理を施した

給されるため、大きなソース・ドレイン間電流が流れるものと考えられる。

ところで、以上は有機薄膜32が有機薄膜31よりも電導度が高い場合について説明したが、有機薄膜32が絶縁性有機化合物と沃素やテトラシアノキノジメタン(TCNQ)、テトラチアフルバレン(TTF)等の電子受容体や電子供与体を混ぜた有機薄膜であり、しかもこれが有機薄膜31内にキャリアを供給し得る場合にも、前述の場合と同様の原理によって良好な特性のFETが得られる。

即ち、ゲート電圧によってソース・ドレイン間電流が大きく変調され、しかも大きなソース・ドレイン間電流が流れる。

(実施例3)

第3図はこの発明の電界効果トランジスタの実施例3の断面図である。

第3図において、第2図と相違するのは、第2図における有機薄膜31と32との間に、他の異なる種類の有機薄膜34を設け、3種類の有機薄

π -共役系高分子又は上記低分子有機半導体或いは電荷移動体の薄膜であり、有機薄膜31よりも有機薄膜32の電導度が高い場合において、有機薄膜31はドーピング処理を施していないか又はドーピング量が低いため、殆どキャリアを有さず、このため本来ならばゲート電圧を印加した時に、ソース・ドレイン間に電圧を印加してもソース・ドレイン間電流は殆ど流れない。

しかし、有機薄膜32はドーピング処理を施した π -共役系導電性高分子又は低分子有機半導体或いは電荷移動体の薄膜であるため、キャリアを多く含み、ゲート電圧の印加によって有機薄膜32から有機薄膜31内にキャリアが移り、有機薄膜31内にキャリアが供給され、その結果、このキャリアがゲート電圧によって有機薄膜31内に伝導チャネルを形成し、ソース・ドレイン間電流をゲート電圧によって制御できるようになり、ゲート電圧によってソース・ドレイン間電流が大きく変調され、しかも有機薄膜32により、充分な量のキャリアが有機薄膜31内に供

給されるため、大きなソース・ドレイン間電流が流れるものと考えられる。

このとき、基板21、ゲート電極22、ゲート絶縁膜23、有機薄膜31、32、ソース電極24、ドレイン電極25に用いられる材料及びその作製方法は、前述した第2図の例と同一、即ち第1図の例と同一である。

ところで、第2図の場合と同様に、FETの特性上、有機薄膜31の電導度よりも有機薄膜32の電導度を高くして用いる場合が多く、有機薄膜31のイオン化ポテンシャルよりも有機薄膜32のイオン化ポテンシャルの方が小さいことが望ましく、これらの有機薄膜31及び32の膜厚は、第2図の場合と同様、実用上の観点から10 μ m以下が好ましい。

一方、有機薄膜34として用いる材料に特に制限はなく、キャリアは通すがイオンやドーパント等はほとんど通さない機能を有しておればいずれの有機材料も使用可能であり、例えばポリエチレン、ポリエステル、ポリイミド、ポリフェニレ

ンスルフィド、ポリバラキシレン、ポリアクリロニトリル等の高分子の膜、有機低分子化合物の膜及び各種LB膜等が挙げられ、場合によっては充分に脱ドーピング処理した π -共役系高分子を用いることも可能であり、勿論、これらの材料を2種類以上組合わせて用いても良い。

そして、この有機薄膜34もその作製方法としては特に制限はなく、有機薄膜31及び32と同じ作製方法を用いることができる。

なお、有機薄膜34の膜厚に特に制限はないが、素子動作上5000Å以下が好ましい。

ところで、第2図に示すFETも、OFF時のソース・ドレイン間電流が小さく、ON時のソース・ドレイン間電流が大きくなり、即ちゲート電圧によってソース・ドレイン間電流を大きく変動できるようになり、しかも大きなソース・ドレイン間電流を得ることができ、FETの特性が大幅に向上し、その理由は未だ不明な点が多いが、以下のように説明し得る。

第3図において、例えば有機薄膜31がドーピ

しかし、第3図の構成においては、有機薄膜31と32との間に、キャリアーは通すがイオンやドーパント等をほとんど通さない有機薄膜34を介在させてあるため、有機薄膜32から有機薄膜31へのイオンやドーパント等の拡散を防ぐことができ、安定に動作するFETを得ることができる。

ところで、第3図では、有機薄膜32が有機薄膜31よりも電導度が高い場合について述べたが、有機薄膜32が絶縁性有機化合物と沃素やテトラシアノキノジメタン(TCNQ)、テトラチアフルバレン(TTF)等の電子受容体や電子供与体を混ぜた有機薄膜であり、しかもこれが有機薄膜34を介して有機薄膜31内にキャリアーを供給し得る機能を有する場合にも、前述の場合と同様の原理により、ゲート電圧によってソース・ドレイン間電流が大きく変動され、しかも大きなソース・ドレイン間電流が流れるため、良好な特性のFETを得ることができる。

(実施例4)

ング処理を施していないか、又はドーピング量の低い π -共役系高分子或いは低分子有機半導体の薄膜であり、有機薄膜32がドーピング処理を過剰に施した π -共役系高分子又は低分子有機半導体或いは電荷移動錯体の薄膜であり、有機薄膜31よりも有機薄膜32の電導度が高く、しかも有機薄膜34が非常に薄い、キャリアーは通すがイオンやドーパント等はほとんど通さない機能を有する有機薄膜である。

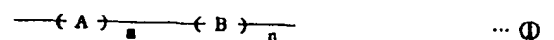
一方、第2図においては、有機薄膜31が、ドーピング処理を施していないか、又はドーピング量が低い π -共役系高分子或いは低分子有機半導体の薄膜であっても、有機薄膜32に含まれるイオンやドーパント等が仮に有機薄膜31内に拡散しやすいものであったならば、時間経過とともに有機薄膜32から有機薄膜31に拡散してきたイオンやドーパント等が有機薄膜31内でキャリアーのトラップとして働き、キャリアーの移動を妨げて、FETの特性を劣化させてしまうこともある。

第4図はこの発明の電界効果トランジスタの実施例4の断面図である。

第4図において、第1図と相違するのは、ゲート絶縁膜23上及びソース、ドレイン電極24、25上に、2種類以上の単量体からなる π -共役系ブロック共重合体による半導体層41を形成したことである。

このとき、基板21、ゲート電極22、ゲート絶縁膜23、ソース電極24、ドレイン電極25に用いられる材料及びその作製方法は、前述した第1図の例と同一である。

つぎに、半導体層41に用いられる2種類以上の単量体からなる π -共役系ブロック共重合体の一例として単量体をA、Bとして次のような一般式

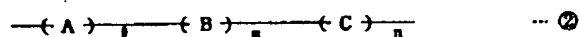


で表わされる2種類の単量体からなるものがあり、ここでm、nはそれぞれ2以上の整数である。

そして通常、各ブロック $\text{---}(\text{A})_m\text{---}$ 、 $\text{---}(\text{B})_n\text{---}$ の少なくとも一方にドーピングが施される場合が多

く、このとき各ブロック -(A)_m 、 -(B)_n のイオン化ポテンシャルは異なり、ドーピングを施す場合、FETの特性上イオン化ポテンシャルの小さい方にドーピングが施される。尚、キャリアが少なくとも π -共役系ブロック共重合体のイオン化ポテンシャルの小さいブロックに既に存在しているとき、いずれにもドーピングを施さなくてもよい場合がある。

また、半導体層41に用いられる π -共役系ブロック共重合体は、単量体をA、B、Cとして

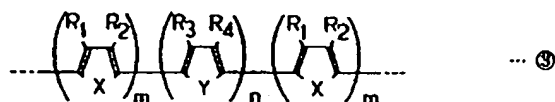


の一般式で表わされる3種類の単量体からなるものであってもよい。ここで、 m 、 n は2以上の整数である。

このとき、各ブロック -(A)_m 、 -(B)_n 、 -(C)_p の少なくともひとつにドーピングが施されることが多く、このときイオン化ポテンシャルの小さいものから順にドーピングが施され、既にキャリアが存在するとき、前述と同様いずれにもドーピングを施さなくてもよい場合がある。

共重合体により半導体層41を形成する方法として、例えばCVD法、プラズマCVD法、プラズマ重合法、蒸着法、クラスターイオンビーム蒸着法、有機分子線エピタキシャル成長法、スピコーティング法、ディッピング法、LB法などがある。

ところで、一般式として



で表わされる2種類の複素五員環からなる π -共役系ブロック共重合体を例にとって、以下にその形成方法等について説明する。なお以下に説明するのは、上述したうちの末端に活性基をもつ異種の重合体どうしを化学重合法によりつなぐ方法である。

ここで③式中、 R_1 、 R_2 、 R_3 および R_4 は -H 、アルキル基、アルコキシ基の内の一種、 X および Y は NR_5 、 O 、 S 、 Se 、 Te の内の一種、 m ならびに n は2以上の整数である。但し、

さらに、4種類以上の単量体からなる π -共役系ブロック共重合体の場合についても同様である。

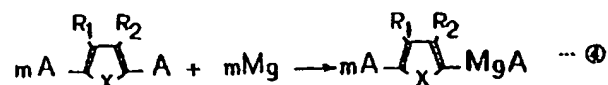
この場合、 π -共役系ブロック共重合体の単量体(A、B、C等)として、例えばポリアセチレン、ポリジアセチレン、ポリピロール、ポリチオフェン、ポリセレンフェン、ポリイソチアナフテン、ポリアリレンビニレン、ポリアニリン、ポリアズレン、ポリピレン、ポリカルバゾール、ポリフラン、ポリフェニレン、ポリインドール、ポリピリダジン、ポリアセン並びにこれらの誘導体等を構成する単量体が挙げられ、いずれも使用可能である。

また、半導体層41に用いる π -共役系ブロック共重合体を得る方法としては、特に制限はなく、例えばリビング重合法で単量体をポリマーに順に重合させる方法、末端に活性基を持つ重合体をまず合成し、その末端から別の単量体を重合させる方法、末端に活性基をもつ異種の重合体どうしをつなぐ方法等が挙げられ、いずれでもよい。

さらに、このように得られた π -共役系プロ

R_5 は -H 、アルキル基、アルコキシ基、フェニル基、置換フェニル基の内の一種である。

まず、次の反応式④



に示すように、テトラヒドロフラン又は他のエーテル系溶液中で、2、5位にハロゲンが付加した各複素五員環からなる単量体をマグネシウム(Mg)と反応させる。ここで、④式中の R_1 、 R_2 、 X 、 Y 、 m は前述の③式と同じであり、④式中のAはハロゲンである。

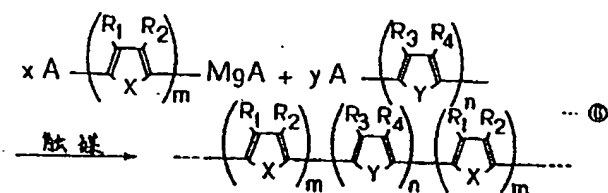
つぎに、反応式



に示すように、 NiCl_2 、 NiBr_2 等のハロゲン化ニッケルあるいはジクロロ(2,2'-ピリジン)ニッケル、ジプロモビス(トリフェニルフォスフィン)ニッケル、1,5-シクロオ

クタジインービス(トリフェニルフォスフィン)ニッケル、ジクロロ(ジフェニルフォスフィノエタン)ニッケル等のニッケル錯体などを触媒として用い、脱ハロゲン縮合を行って重合体を得る。

そして、⑤式の反応により得られた重合体を2種類以上混合し、



の反応式により、触媒を用いた脱ハロゲン縮合により、⑤式の一般式で表わされる π -共役系ブロック共重合体を得る。ただし、 x 、 y は整数である。

このとき、触媒には、前述した⑤式の反応に用いるものと同じものを使用でき、単独重合体の化学的製造法は、シンセティックメタルズ(Syn. Metals) 9巻、77～86頁、1984年およびブリテンオブケミカルソサエティーオブジャパン(B

ull. Chem. Soc. Japan.) 58巻、1497～1502頁に詳しく記載されており、 π -共役系ブロック共重合体の合成にもこれら文献に記載のような化学的重合法を用いることができ、この化学重合法を用いる場合、特に、一般式⑤の π -共役系ブロック共重合体において側鎖が長鎖アルキル基、アルコキシ基等で、多くの有機溶剤に可溶であれば、このブロック共重合体の薄膜作製法として、スピンコート法、キャスト法、ディッピング法、バーコート法、ロールコート法等の簡便な膜作製法を用いることができ、FETの作製プロセス上好ましい。

ところで、 π -共役系ブロック共重合体は、特にドーピング処理を施さなくてもキャリアが存在している場合があり、電導度は低いものの、一般的には半導体としての性質を示すものは多いが、前述の如くFETの特性の向上のために、しばしばドーピング処理が行われ、このドーピングの方法には化学的方法と物理的方法があり、(工業材料、34巻、第4号、55頁、1988年参照)、前者には

(i)気相からのドーピング、(ii)液相からのドー

ピング、(iii)電気化学的ドーピング、(iv)光開始ドーピング等の方法があり、後者ではイオン注入法があり、いずれでもよい。

ただし、ドーピングはイオン化ポテンシャルの低いものから成る部分のみを選択的に行うのがFETの特性上好ましく、例えば一般式⑤において、 (A) の方が (B) よりもイオン化ポテンシャルが小さい場合には、前者に選択的にp型ドーピング処理が施される。

次に、第4図に示すFETの動作について説明する。

動作機構については未だ不明の点が多いが、 π -共役系ブロック共重合体の半導体膜41とゲート絶縁膜23の界面において、半導体膜41側に形成された空乏層の幅がゲート電極22とソース電極24との間にかけた電圧で制御され、実効的なキャリアのチャンネル断面積が変化するために、ソース電極24とドレイン電極25の間のチャンネルを流れる電流が変化すると考えられる。

また、低いイオン化ポテンシャル部に選択的に

p型ドーピングが施されている場合には、キャリアが低いイオン化ポテンシャル部に蓄積されており、ゲート電極22、ソース電極24間にかかる電圧により低いイオン化ポテンシャル部からトランジスタのチャンネル全体に供給されるキャリア数が増加し、チャンネルの電流変化量が増加するものと考えられる。

さらに、第5図を用いて動作原理を詳述する。ただし、同図中の○●●は π -共役系ブロック共重合体を示しており、イオン化ポテンシャルの高い構成単位はドーピングされにくく、逆にイオン化ポテンシャルの低い構成単位はドーピングされ易いため、図中において○が未ドーピング部、●がドーピング部を表わしている。

いま、第5図(a)に示すように、キャリアは低いイオン化ポテンシャル部に、すなわち●のドーピング部に局在しており、ゲート電圧 $V_G = 0V$ のときには、半導体膜41全体に亘ってドーピング部が存在し、ソース電極24とドレイン電極25の間を流れる電流は小さい。

ところが、ゲート電圧 $V_G < 0V$ のときには第5図(b)に示すように、 α -共役系ブロック共重合体の半導体層41のゲート絶縁膜23との界面に負の電位がかかるため、●のドープ部に局在したキャリアが界面に集まり、界面にキャリアが蓄積され、界面のチャネル全体がp型にドープ状態となり、ソース・ドレイン間電流は著しく増加する。

このように、半導体層41として α -共役系ブロック共重合体を用いることにより、前述した実施例1〜3と同様に、ゲート電圧印加時にソース・ドレイン間電流を大きく変動でき、しかも大きなソース・ドレイン間電流を得ることができ、良好な特性のFETを提供することができる。

(実施例5)

さらに、実施例5として、第6図に示すように、基板21上に2種類以上の単量体からなる α -共役系ブロック共重合体による半導体層42を形成し、その上にソース電極24、ドレイン電極25を形成し、これらの上にゲート絶縁膜23を形成

電極24、25間のチャネル形成領域が形成されており、基板21、ゲート電極22、絶縁膜23、ソース及びドレイン電極24、25、半導体層44からなるFETを有する駆動部50Aが構成されている。

また、電極43上及び半導体層44上に液晶層45が形成され、液晶層45の上面の電極43の上方位置に透明電極46が形成され、液晶層45上及び透明電極46上に偏光板付きガラス板47が形成され、電極43及び46には配向処理が施されており、電極43、液晶層45、透明電極46及びガラス板47により液晶表示部50Bが構成され、ゲート電極22へのゲート電圧の制御によるFETのオン、オフによって、液晶表示部50Bが駆動される。

ここで、FETの各部の材料は、前述した実施例1ないし4と同一のものが用いられ、その作製方法も同一である。

ところで、FETのドレイン電極25と接続された電極43の材料は、充分な電導度を有し、液

し、ゲート絶縁膜23上にゲート電極22を形成してもよく、前述した実施例4と同等の効果を得ることができる。

(実施例6)

第7図はこの発明の液晶表示装置の実施例の断面図である。

同図に示すように、基板21の左半部の上面にゲート電極22が形成され、基板21の上面全面及びゲート電極22上にゲート絶縁膜23が形成され、この絶縁膜23の左半部の上面にソース電極24及びドレイン電極25が形成され、絶縁膜23の右半部の上面に電極43が形成され、この電極43がドレイン電極25に接続されている。

さらに、ソース、ドレイン電極24、25上及びこれらの周辺の絶縁膜23上に、少なくとも2種類以上の有機化合物の混合層、又は少なくとも2種類以上の有機薄膜の積層膜、又は少なくとも2種類以上の単量体からなる α -共役系ブロック共重合体のいずれかよりなる半導体層44が形成され、この半導体層44によりソース、ドレイン

品に不溶のものであれば何でもよく、例えば金、白金、クロム、アルミニウム等の金属や酸化物、酸化インジウム錫酸化物(ITO)等の透明導電材、或いは導電性を有する有機系高分子を用いてもよく、勿論これらの材料を2種類以上組合せて用いてもよい。

また、透明電極46の材料は、錫酸化物、酸化インジウム、インジウム・錫酸化物(ITO)等の透明導電材を用いるのが一般的であり、適度の透明度を有する導電性有機系高分子を用いてもよく、或いはこれらの材料を2種類以上組合わせて用いてもよい。

ただし、電極43及び46には、 SiO_2 の斜め蒸着又はラビング等の配向処理を施しておく必要がある。

さらに、液晶層45には、周知のようなゲスト・ホスト(GH)型液晶、ツイスト・ネマティック(TN)型液晶、スメクチックC相液晶等が用いられるが、基板21にガラスを用い、電極43に透明導電材を用いる場合は、基板21に偏光板

を取り付けることによってコントラスト比を上げることができる。

また、偏光板付きガラス板47の偏光板は、偏光するものであれば何でもよい。

つぎに、動作について説明する。

いま、半導体層44が α -共役系ブロック重合体からなり、かつp型の特性を示す場合について説明すると、ソース電極24を基準として透明電極46に負電圧を印加しておき、ゲート電極22に負のゲート電圧を印加することにより、ソース・ドレイン電極24、25間の抵抗が減少してFETがオン状態となり、ドレイン電極25と電極43とが直列に接続されているために、液晶層45に電圧がかかり、液晶表示部50Bに所定の表示が行われる。

つぎに、ゲート電圧の印加を停止すると、ソース・ドレイン電極24、25間の抵抗が大きくなってFETがオフ状態となり、液晶層45に電圧がかからなくなり、液晶表示部50Bの表示が消え、このようにゲート電圧の制御による駆動部5

0AのFETのオン、オフにより、液晶表示部50Bの駆動を制御することができる。

ところで、半導体層44が、前述したような2種類の以上の有機化合物の混合膜、或いは2種類以上の有機薄膜の積層膜からなる場合であっても、前述と同様の動作により、ゲート電圧の制御によって液晶表示部50Bの駆動を制御できる。

また、半導体層44がn型の特性を示す場合であっても、同様にゲート電圧の制御によって液晶表示部50Bの駆動を制御することができる。

従って、従来の1種類の有機化合物薄膜だけからなるFETを用いる場合に比べ、優れた性能を有する低価格の液晶表示装置を得ることができる。

なお、実施例1、2において、混合層28、積層膜33は、それぞれ3種類以上の有機化合物を含むもの、3種類以上の有機薄膜からなるものであってもよいのは勿論である。

また、実施例3において、積層膜を4種類以上の有機薄膜により形成してもよい。

さらに、実施例2、3において、上層の有機薄

膜32上に、素子全体の保護を目的とした保護膜を設けてもよく、この場合保護膜には有機及び/又は無機の絶縁性材料が用いられる。

また、実施例4において、ゲート絶縁膜23上に α -共役系ブロック共重合体からなる半導体層41を形成し、その上にソース、ドレイン電極24、25を形成したものであってもよく、更に、基板21上にソース、ドレイン電極24、25を形成し、これらの上に α -共役系ブロック共重合体からなる半導体層41を形成し、この半導体層41上にゲート絶縁膜23を介してゲート電極22を形成したものであってもよく、更には接合形であってもよく、またこれらの構造は実施例1～3に対しても同様に適用することができる。

ところで、p型或いはn型シリコンを、第4図におけるゲート電極22と基板21とに兼用してもよく、この場合には機能上基板21に相当する部分を省略することができる。ただし、このとき半導体層41に用いる α -共役系ブロック共重合体に比べシリコンの体積固有抵抗率が小さい方が

好ましい。

また、実施例4、5において、各電極22、24、25には、導電性の有機系低分子化合物や α -共役系高分子を用いてもよい。

さらに、FETの使用目的により、第4図における基板21とゲート電極22とを、ステンレス板、銅板などの導電性の板によって兼用するようにしてもよい。

また、実施例4、5において、基板21及びゲート電極22をシリコンにより形成する場合には、ゲート絶縁膜23としてシリコンの熱酸化法等によって得られる酸化シリコン膜を用いることもできる。

さらに、実施例6において、電極43をソース電極24に直列接続してもよいのは言うまでもない。

〔発明の効果〕

以上のように、この発明の電界効果トランジスタによれば、チャネルが形成される領域を、少なくとも2種類以上の有機化合物の混合膜、又は少

なくとも2種類以上の有機薄膜の積層膜、又は少なくとも2種類以上の単量体からなる π -共役系ブロック共重合体により形成したため、従来の1種類の有機化合物薄膜だけからなるFETに比べ、ゲートに印加する電圧によってソース・ドレイン間の電流を大きく変動させることができ、しかも大きなソース・ドレイン間電流を流すことができ、良好な特性の電界効果トランジスタを提供することが可能となる。

さらに、このような電界効果トランジスタを液晶表示装置の駆動部に用いることによって、従来の1種類の有機化合物薄膜からなる電界効果トランジスタを用いる場合に比べ、優れた性能を有する低価格の液晶表示装置を提供することができる。

4. 図面の簡単な説明

第1図はこの発明の電界効果トランジスタの実施例1の断面図、第2図ないし第4図はそれぞれこの発明の実施例2ないし実施例4の断面図、第5図(a)、(b)は第4図の動作説明用の断面図、第6図はこの発明の実施例5の断面図、第7図はこ

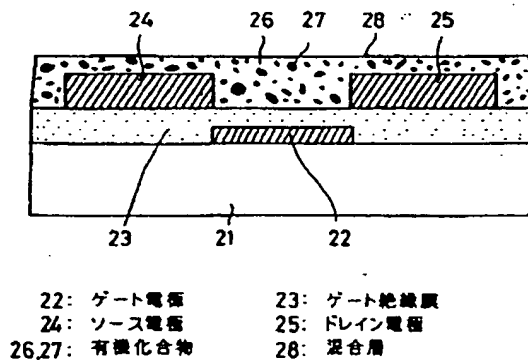
の発明の液晶表示装置の実施例の断面図、第8図及び第9図はそれぞれ従来の電界効果トランジスタの断面図、第10図は第9図の構成の各ゲート電圧におけるソース・ドレイン間電流-ソース・ドレイン間電圧特性図である。

図において、22はゲート電極、23はゲート絶縁膜、24はソース電極、25はドレイン電極、26、27は有機化合物、28は混合層、31、32、34は有機薄膜、33、35は積層膜、41、42、44は半導体層、50Aは駆動部、50Bは液晶表示部である。

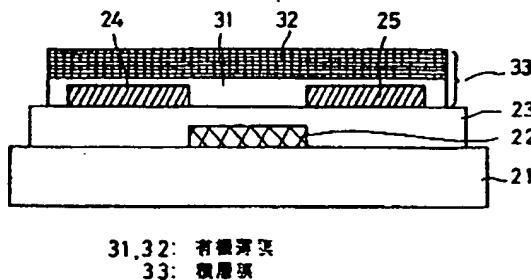
なお、各図中同一符号は同一または相当部分を示す。

代理人 大 岩 地 雄

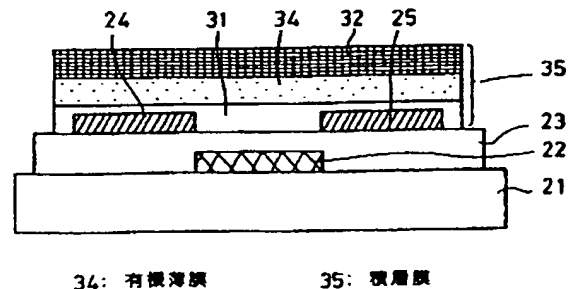
第1図



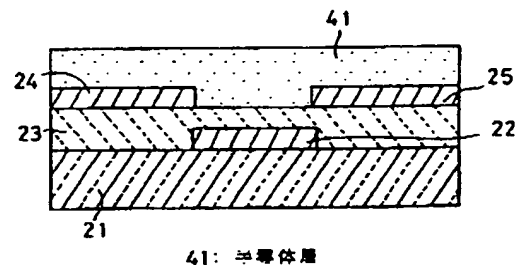
第2図



第3図

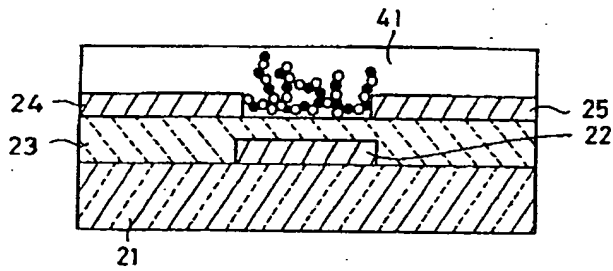


第4図

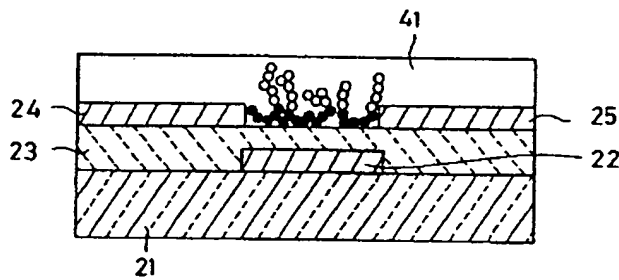


第 5 図

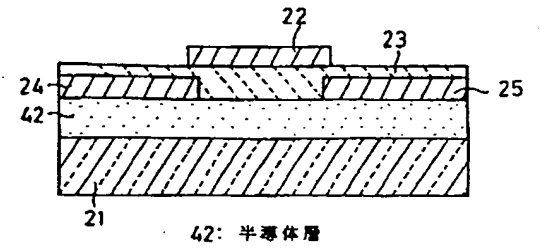
(a)



(b)

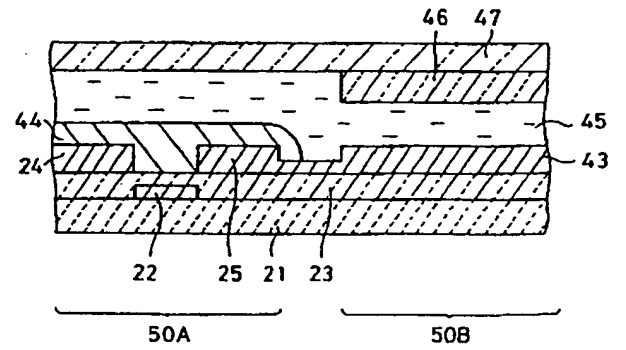


第 6 図



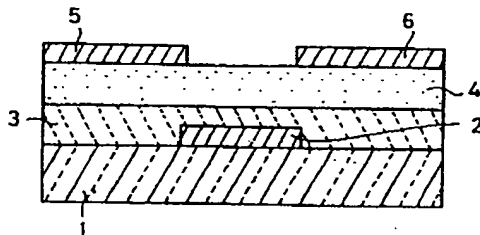
42: 半導体層

第 7 図

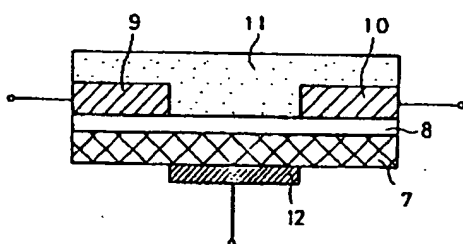


44: 半導体層
50A: 駆動部
50B: 液晶表示部

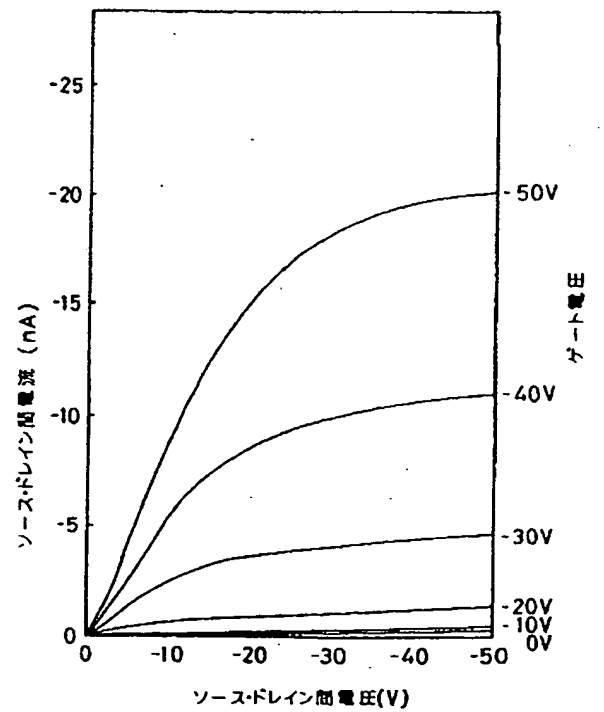
第 8 図



第 9 図



第 10 図



第1頁の続き

⑤Int.Cl.⁵

識別記号

庁内整理番号

H 01 L 29/784

優先権主張 ②平1(1989)8月17日③日本(JP)④特願 平1-211740

②平2(1990)1月29日③日本(JP)④特願 平2-19464

⑦発明者 信時 英治 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

⑦発明者 肥塚 裕至 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社
材料研究所内

手続補正書(自発)

平成 2 年 11 月 14 日

特許庁長官殿

1. 事件の表示

平 特願昭 2-160629号

2. 発明の名称

電界効果トランジスタ及び該電界効果トランジスタ
を用いた液晶表示装置

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志岐守哉

4. 代理人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大岩増雄
(通称先03(213)3421特許部)

5. 補正の対象

明細書の「発明の詳細な説明の欄」

6. 補正の内容

(1) 明細書第23頁第9行の「電導移動體」を、「電荷移動體」に訂正する。

(2) 明細書第28頁第2行の「電荷移動體」を、「電荷移動體」に訂正する。

(3) 明細書第32頁第19行の「F B T」を、「F E T」に訂正する。

以上

